

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

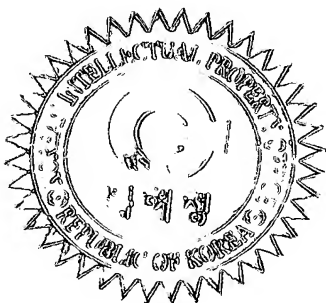
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0042935
Application Number

출원년월일 : 2003년 06월 28일
Date of Application JUN 28, 2003

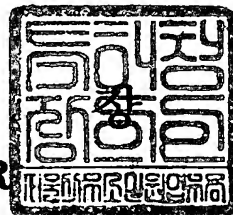
출원인 : 삼성전기주식회사
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003 년 07 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.06.28
【발명의 명칭】	고밀도 칩 스케일 패키지 및 그 제조 방법
【발명의 영문명칭】	Hidensity chip scale package and the manufacturing method thereof
【출원인】	
【명칭】	삼성전기주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【명칭】	청운특허법인
【대리인코드】	9-2002-100001-8
【지정된변리사】	이철 , 이인실 , 최재승 , 신한철
【포괄위임등록번호】	2002-065077-1
【발명자】	
【성명의 국문표기】	정영희
【성명의 영문표기】	JUNG, Young Hee
【주민등록번호】	710805-1408117
【우편번호】	302-758
【주소】	대전광역시 서구 관저동 주공원앙마을아파트 213동 804호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 청운특허법인 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	12 면 12,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	7 항 333,000 원
【합계】	374,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 회로 밀도 및 회로 형성 가능 영역을 넓힐 수 있는 고밀도 칩 스케일 패키지에 관한 것이다.

본 발명에 따른 고밀도 칩 스케일 패키지는, 회로 패턴을 포함하는 다이; 상기 다이가 실장되며, 그 면적이 상기 다이 면적의 100-150%이며 회로 패턴을 포함하는 인쇄회로기판; 상기 다이의 열을 방출하기 위해 상기 다이 상에 실장된 방열판; 및 상기 다이와 상기 방열판, 및 상기 베이스 기판과 상기 방열판을 밀착시키고, 상기 다이를 외부로부터 차폐하는 액상의 인캡슐란트(encapsulant)를 구비한 것을 특징으로 한다.

【대표도】

도 3i

【색인어】

방열판, 칩 스케일 패키지, 인캡슐란트

【명세서】

【발명의 명칭】

고밀도 칩 스케일 패키지 및 그 제조 방법{Hidensity chip scale package and the manufacturing method thereof}

【도면의 간단한 설명】

도1a 및 도1b는 각각 수퍼 BGA 및 E-BGA 기판의 단면을 나타낸다.

도2a 내지 도2j는 종래의 C2BGA의 제조 공정을 나타낸다.

도3a 내지 도3i는 본 발명의 일 실시예로서, 다이가 패키지 상에 와이어 본딩에 의해 실장된, 방열 구조를 채용한 고밀도 칩 스케일 패키지의 제조 공정을 나타낸다.

도4a 내지 도4i는 본 발명의 일 실시예로서, 다이가 패키지 상에 플립칩 방식에 의해 실장된, 방열 구조를 채용한 고밀도 칩 스케일 패키지의 제조 공정을 나타낸다.

<도면의 주요 부분에 대한 설명>

301, 401 : 동박적층판 302, 402 : 동박층

303, 403 : 절연층 305, 405 : 동도금층

306, 307 : 비아홀 충전 페이스트 308, 408 : Ni/Au 도금층

309, 409 : 솔더볼

310 : 접착제 311 : 다이

312 : 와이어 본딩 패드 313 : 와이어

314 : 액상 인캡슐런트 315 : 방열판

409 : 솔더볼 410 : 솔더볼

411 : 다이 412 : 언더필용 액상 인캡슐런트

413 : 열 경화성 에폭시 접착제 414 : 방열판

415 : 액상 인캡슐런트

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 회로 밀도 및 회로 형성 가능 영역을 넓힐 수 있는 고밀도 칩 스케일 패키지에 관한 것이다. 보다 구체적으로, 본 발명은 종래의 방열판 부착시 요구되는 캐비티를 생략함과 동시에 액상의 인캡슐란트를 사용함으로써 회로 밀도 및 회로 형성 가능 영역이 확대되면서도 방열판의 방열 효율이 좋으며 또한, 와이어 본딩 및 플립칩 방식 두가지로 실장된 칩 모두에 적용할 수 있는 고밀도 칩 스케일 패키지에 관한 것이다.

<18> 전자산업이 점점 더 고도화되고 있는 추세에 발맞추어 전자제품은 소형화, 대용량화하는 추세에 있고, 이에 따른 IC 칩의 발달로 I/O 카운트가 증가하게 되었다. 반도체의 I/O 카운트가 증가하게 되면 이를 구동시킬 때에 I/C 칩에서 많은 열이 발생하게 된다. 이를 해결하기 위하여 고안된 패키지가 일반 패키지에 방열판 역할을 하는 구리 등의 금속판을 부착시킨 슈퍼 BGA(Super-BGA) 및 E-BGA(Enhanced-BGA) 기판인데 I/C 칩에 직접 금속판이 부착되어 발생하는 열을 외부로 방출시킬 수가 있다.

<19> E-BGA 인쇄회로기판은 이와 같은 종래의 BGA 인쇄회로기판과 다른 새로운 형태의 BGA 인쇄회로기판으로서, E-BGA(Enhanced BGA) 인쇄회로기판은 현재 게임기나 컴퓨터에 장착되는 그래픽 지원용 칩 등에 주로 사용되는 기판이다. E-BGA 인쇄회로기판은 종래

의 BGA 인쇄회로기판과 달리 한쪽면 전체는 열 방출을 위한 방열판이 접착제에 의해 접착되어 덮여 있고, 칩 실장 및 다른 기판 또는 마더 보드와의 접속을 위한 솔더 범프는 모두 나머지 다른 면에 배치되는 구조를 갖는다. 다이가 실장될 부분은 공동(cavity)으로 비어있다.

<20> 수퍼 BGA는 좀더 복잡한 구조를 갖는 E-BGA로서, 인쇄회로기판이 복수의 층을 이루고 있으며 동시에 방열판을 갖는 BGA를 가리킨다.

<21> 도1a 및 도1b는 각각 수퍼 BGA 및 E-BGA 기판의 단면을 나타낸다.

<22> 도1a를 살펴보면, 방열판(101) 위에 인쇄회로기판(103)이 실장되어 접착제(102)에 의해 접착되어 있고, 방열판(101) 중심에 캐비티를 마련하여 다이(104)를 실장하고 있다. 인쇄회로기판(103)과 다이(104) 간의 접속은 다이(104)의 회로 패턴과 인쇄회로기판(103) 상에 마련된 와이어 본딩 패드(105)를 와이어(106)에 의해 이루어진다. 그리고, 와이어 본딩 및 다이(104)의 회로를 보호하기 위해 EMC(107)가 덮혀져 있다.

<23> 이와 같이, E-BGA 패키지는 방열판(101)이 패키지의 밑면 전체를 덮고 있으므로, 열방출은 우수하지만 다른 기판 상에 실장하기 위해서는 최근에 흔히 사용되는 BGA(Ball Grid Array) 방식을 사용할 수 없고, 와이어에 의한 리드 프레임(Lead Frame) 방식으로 실장하여야 한다.

<24> 도1b에는 수퍼 BGA의 단면도가 도시되어 있다. 수퍼 BGA는 E-BGA와 동일하게 인쇄회로기판(112) 밑면에 방열판(111)이 접착되어 있는 구조이나, 인쇄회로기판(111) 위에 추가적인 인쇄회로기판(114)이 추가적으로 적층된다는 점이 특징이다. 추가적인 인쇄회로기판(114)은 접착제층(113)에 의해 인쇄회로기판(112)에 접착된다. 패키지의 중심에

캐비티가 마련되어 있고 거기에 다이(115)가 실장되며 인쇄회로기판(112)는 와이어 본딩 패드(117)에 접속된 와이어(118)에 의해, 인쇄회로 기판(114)는 와이어 본딩 패드(118)에 접속된 와이어(120)에 의해 다이(115)와 전기적으로 접속된다. 그리고, 와이어 본딩 구조 및 다이(115)의 회로를 보호하기 위해 EMC(116)가 덮혀져 있다.

<25> 수퍼 BGA 및 E-BGA 기판은 방열판이 패키지 하면 전체를 덮고 있으므로, 열 방출 성능 및 신뢰성은 우수하나 제조공정이 복잡하고, 정밀한 회로 패턴 형성이 어려운 단점이 있다.

<26> 한편, 전자 산업에서 경박 단소화의 추세에 대응하기 위해 CSP(칩 스케일 패키지; Chip Scale Package)가 등장하였다. CSP는 패키지 면적이 그 위에 실장될 다이 면적과 거의 유사한 패키지로서, 통상적으로 종래의 패키지의 면적이 수개의 다이를 실장할 수 있을 정도로 크던 것과는 달리, 패키지 면적이 다이 면적의 150% 이내인 패키지를 말한다. 또한, CSP는 다른 베이스 기판 상에 실장되기 위해 종래의 리드 프레임을 사용하지 않고, 패키지 밑면에 수개의 솔더볼을 부착함으로써, 소위 BGA 방식으로 다른 베이스 기판 상에 용이하게 실장될 수 있는 것을 특징으로 한다.

<27> 전술한 바와 같이 방열판을 부착한 S-BGA 및 E-BGA 기판은 열 방출 성능 및 신뢰성은 우수하나 제조 공정이 복잡하고, 정밀한 회로 패턴 형성이 어렵기 때문에 CSP에는 적용이 어려운 상황이다. 이에 따라 제조 비용이 상승하기 때문에 조립 업체에서는 우수한 열적 성능과 신뢰성을 바탕으로 하고 비용이 낮은 기판을 고려하게 되었다. 이 조건을 만족시키기 위해 C2BGA(Conduction Cooled Ball Grid Array)를 개발하게 되었다. 방열판을 붙여주기 위하여 솔더 페이스트, 즉 납땜에 의해 접착하고 일반 SMT(surface

mount technology) 제조 방식과 같이 리플로우(reflow) 공정을 통하여 방열판을 기판에 붙인 제품이다.

- <28> 도2a 내지 도2g는 전술한 C2BGA의 제조 공정을 나타낸다.
- <29> 도2a는 가공되기 전의 동박 적층판(CCL; Copper Clad Laminate)(201)의 단면도이다. 절연층(203)에 동박(202)이 입혀져 있다. 동박 적층판이라 함은 일반적으로 인쇄회로기판의 제조되는 원판으로서 절연층에 얇게 구리를 입힌 얇은 적층판을 말한다.
- <30> 동박 적층판의 종류에는 그 용도에 따라, 유리/에폭시 동박적층판, 내열수지 동박 적층판, 종이/페놀 동박적층판, 고주파용 동박적층판, 플렉시블 동박적층판(폴리이미드 필름) 및 복합 동박적층판 등 여러 가지가 있으나, 양면 PCB 및 다층 PCB 제작에는 주로 유리/에폭시 동박 적층판이 사용된다.
- <31> 유리/에폭시 동박적층판은 유리 섬유에 에폭시 수지(Epoxy Resin:수지와 경화제의 배합물)을 침투시킨 보강기재와 동박으로 만들어진다. 유리/에폭시 동박적층판은 보강기재에 따라 구분되는데, 일반적으로 FR-1~FR-5와 같이 NEMA(National Electrical Manufacturers Association: 국제전기공업협회)에서 정한 규격에 의해 보강기재와 내열성에 따른 등급이 정해져 있다. 이들 등급 중에서, FR-4가 가장 많이 사용되고 있으나, 최근에는 수지의 Tg(유리전이 온도) 특성 등을 향상시킨 FR-5의 수요도 증가하고 있다.
- <32> 도2b에서, 동박 적층판(201)에 드릴링에 의해 회로층 간의 회로 접속을 위한 비아홀(204)을 가공한다. 이때 드릴링 방법으로는 드릴링 머신에 의한 기계적 드릴링 또는 레이저 드릴링 방법에 사용된다.

- <33> 도2c에서, 무전해 동도금 및 전해 동도금을 행하여 기판 표면 및 비아홀 내벽에 동도금층(205)을 형성한다. 이때, 무전해 동도금을 먼저 행하고 그 다음 전해 동도금을 행한다. 전해 동도금에 앞서 무전해 동도금을 실시하는 이유는 절연층 위에서는 전기가 필요한 전해 동도금을 실시할 수 없기 때문이다. 즉, 전해 동도금에 필요한 도전성 막을 형성시켜주기 위해서 그 전처리로서 얇게 무전해 동도금을 한다. 무전해 동도금은 처리가 어렵고 경제적이지 못한 단점이 있기 때문에, 회로 패턴을 형성하는 도전성 부분은 전해 동도금으로 형성하는 것이 바람직하다.
- <34> 도2d에서, 비아홀(204)의 내벽에 형성된 무전해 및 전해 동도금층(205)을 보호하기 위해 페이스트(206)를 충전하고, 에칭에 의해 회로 패턴을 형성한다. 페이스트는 절연성의 잉크재질을 사용하는 것이 일반적이거나, 인쇄회로기판의 사용 목적에 따라 도전성 페이스트도 사용될 수 있다. 도전성 페이스트는 주성분이 Cu, Ag, Au, Sn, Pb 등의 금속을 단독 또는 합금 형식으로 유기 접착제와 함께 혼합한 것이다. 그러나, 이와 같은 페이스트 충전 과정은 MLB의 제조 목적에 따라 생략될 수 있다.
- <35> 도2e에서, 다이가 실장될 캐비티(207)를 형성한다. 캐비티(207)는 기계적 드릴링 머신에 의하거나 펀칭 가공에 의해 형성할 수 있다.
- <36> 도2f에서, 다른 회로 패턴 또는 다른 기판과 접속될 부분 제외한 부분에 솔더 레지스트(208)를 인쇄한다.
- <37> 도2g에서, 와이어 또는 솔더볼 등 회로 접속을 위한 부분, 즉 상기 솔더 레지스트(208)가 도포되지 않고 동도금층(305)이 노출된 부분에 Ni/Au(209) 도금을 행한다. 도금시에는 도2f의 솔더 레지스트(208)가 도금 레지스트 역할을 하게 되어 솔더 레지스트(208)가 인쇄되지 않은 부분에만 Ni/Au 도금층(209)이 형성된다. 후술하는 바와 같이,

Ni/Au 도금층(209) 위에는 와이어 본딩을 위한 와이어 본딩 패드가 형성된다. Ni를 먼저 도금하고 난뒤, Au를 도금한다. 따라서, 외부에는 Au 도금층이 노출된다. 이는 기판 중 외부 회로와 접속될 부분에 대한 처리로서, 솔더 레지스트로 덮이지 않고 노출된 동박부위가 산화되는 것을 방지하고, 실장되는 부품의 납땜성을 향상시키며, 좋은 전도성을 부여하기 위한 것이다.

<38> 그리고 나서, 패키지의 밑면에 다른 베이스 기판에의 직접 실장을 위한 솔더볼(210)을 형성한다. 솔더볼(210)은 패키지를 다른 기판 상에 실장하기 위해 사용되며, 다른 기판 상에 마련된 솔더볼 패드와 접속되어, 기판 간을 전기적으로 접속시킨다. 이와 같은 솔더볼(210)에 의해 다른 기판 상에 실장되는 기판을 BGA(Ball Grid Array) 기판이라 한다.

<39> 도2h에서, 패키지의 밑면에 방열판(211)을 부착한다.

<40> 도2i에서, 상기 방열판(211)에 솔더 페이스트(213)를 도포하고 그 위에 다이(212)를 실장한 뒤 리플로우(reflow) 공정에 의해 방열판(211)과 다이(212)를 접착시킨다. 그리고 나서, Ni/Au 도금층(209) 상에 형성된 와이어 본딩 패드(214)를 형성하고 이것을 다이(212)의 회로 패턴과 와이어(215)에 의해 전기적으로 접속한다.

<41> 도2j에서, 노출된 회로 패턴과 와이어 본딩 구조를 보호하기 위해 EMC(Epoxy Mold Compound;216)를 씌운다. EMC는 고체 상태의 물질로서, 열을 가하여 유동성이 생긴 상태에서 금형에 주입하여 원하는 형태를 만들어 낸뒤 패키지 위에 덮어 씌우게 된다.

- <42> 전술한 바와 같이, C2BGA의 제조 공정은 일반 기판 제조 공정과 같으나, 중앙에 캐비티(cavity)를 형성하여 방열판을 부착함으로써 패키지의 면적 대비 솔더볼을 형성할 수 있는 유효 면적이 줄어들어 결과적으로 핀 카운트의 증가에 대해 제한적이다.
- <43> 국제 특허 공개 공보 WO 02/13586 A1 (발명의 명칭 : 히트 싱크로의 인쇄 회로 기판의 접착 접합)은 인쇄회로기판과 방열판 사이의 공극을 열 압력 감응성 접착제 층과 열 경화성 접착제로 충전하여 인쇄회로기판에서 발생하는 열을 방열판으로 보다 효율적으로 전달하기 위한 구조를 개시하고 있다.
- <44> 한국 특허 공개 공보 제2001-0009153호 (발명의 명칭 : 박형 시스템 대응 고방열 히트스프레드 부착 패키지구조 및 그의 제조 방법)는 컴퓨터 등의 마더 보드의 소켓에 실장되는 패키지의 열 방출 효과를 향상시키기 위한 구조를 개시하고 있다. 이는 방열판을 칩 스케일 패키지의 상부로 올리고 경사면을 만들어 그 경사면에 마더 보드의 냉각을 위한 냉각 팬의 에어 플로우(air flow)가 통과하도록 에어 벤트 및 에어 슬롯을 형성한 것이다. 그러나, 여기에 개시된 구조는 별도의 냉각 팬이 존재하는 경우로 그 응용 범위가 제한되어 있다.

【발명이 이루고자 하는 기술적 과제】

- <45> 본 발명의 목적은 면적 대비 솔더볼을 형성할 수 있는 유효 면적을 넓힐 수 있으며 핀 카운트를 증가시킬 수 있는 방열 구조를 채용한 고밀도 칩 스케일 패키지 및 그 제조 방법을 제공하는 것이다.

<46> 본 발명의 또다른 목적은, 인쇄회로기판 내부에 다이 실장을 위한 캐비티를 포함하지 않으므로 솔더볼 및 솔더볼을 형성할 수 있는 유효 면적을 넓히고, 핀 카운트도 증가시키는 것이다.

<47> 본 발명의 또다른 목적은 다이를 와이어 본딩 및 플립 칩 방식으로 실장하는 구성 모두에 적용할 수 있는 방열 구조를 채용한 고밀도 칩 스케일 패키지 및 그 제조 방법을 제공하는 것이다.

<48> 본 발명의 또다른 목적은 다이 위에 방열판을 열 전도성 에폭시 접착제로 부착함으로써 열을 원활하게 방출시키는 고밀도 칩 스케일 패키지 및 그 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<49> 본 발명에 따른 고밀도 칩 스케일 패키지는, 회로 패턴이 형성된 다이; 상기 다이를 실장하고, 상기 다이 면적의 100% 내지 150%이며 회로 패턴을 포함하는 인쇄회로기판; 상기 다이의 열을 방출하기 위해 상기 다이 상에 실장된 방열판; 및 상기 다이와 상기 방열판 사이에 주입되어, 상기 인쇄회로기판과 상기 방열판을 밀착시키고, 상기 다이를 외부로부터 차폐하는 인캡슐런트(encapsulant)를 구비한 것을 특징으로 한다.

<50> 본 발명의 바람직한 실시예에 따른 고밀도 칩 스케일 패키지에서, 상기 다이는 상기 인쇄회로기판 상에 열 전도성 에폭시 접착제에 의해 부착되는 것을 특징으로 한다.

<51> 본 발명의 보다 바람직한 실시예에 따른 고밀도 칩 스케일 패키지에서, 상기 액상의 인캡슐런트는 에폭시 계열의 액상 인캡슐런트인 것을 특징으로 한다.

- <52> 본 발명의 보다 바람직한 실시예에 따른 고밀도 칩 스케일 패키지에서, 상기 다이는 와이어 본딩 패드(wire bonding pad)를 더 포함하고, 상기 인쇄회로기판과 상기 와이어 본딩 패드를 연결하는 와이어에 의해 전기적으로 접속되는 것을 특징으로 한다.
- <53> 본 발명의 보다 바람직한 실시예에 따른 고밀도 칩 스케일 패키지는, 다른 인쇄회로기판 상에 다이가 실장된 상기 인쇄회로기판을 실장하기 위하여 그 밑면에 솔더볼을 포함하는 것을 특징으로 한다.
- <54> 본 발명의 보다 바람직한 실시예에 따른 고밀도 칩 스케일 패키지에서, 상기 다이와 상기 인쇄회로기판 사이의 공간에 주입된 액상 인캡슐란트를 포함하는 것을 특징으로 한다.
- <55> 본 발명의 보다 바람직한 실시예에 따른 고밀도 칩 스케일 패키지에서, 밑면에 또 다른 기판 상에 직접 실장을 위한 솔더볼을 포함하는 것을 특징으로 한다.
- <56> 본 발명에 따른 고밀도 칩 스케일 패키지 제조 방법은, 다이 면적의 100% 내지 150%이며 회로 패턴을 포함하는 인쇄회로기판 상에 회로 패턴을 포함하는 다이를 실장하는 단계; 상기 다이 위에 방열을 위한 방열판을 실장하는 단계; 상기 다이와 상기 방열판 사이에 액상 인캡슐란트를 주입하는 단계; 및 상기 액상의 인캡슐란트를 경화시키는 단계를 포함하는 것을 특징으로 한다.
- <57> 본 발명의 바람직한 실시예에 따른 고밀도 칩 스케일 패키지 제조 방법은, 상기 방열판을 실장하는 단계에서, 상기 다이와 상기 방열판은 열 전도성 에폭시 접착제에 의해 접착되는 것을 특징으로 한다.

- <58> 본 발명의 보다 바람직한 실시예에 따른 고밀도 칩 스케일 패키지 제조 방법에서, 상기 액상 인캡슐란트를 주입하는 단계는, 상기 주입된 액상 인캡슐란트의 보이드(void)를 제거하는 단계를 더 포함하는 것을 특징으로 한다.
- <59> 본 발명의 보다 바람직한 실시예에 따른 고밀도 칩 스케일 패키지 제조 방법에서, 상기 액상의 인캡슐란트를 경화시키는 단계는 열경화 처리에 의해 수행되는 것을 특징으로 한다.
- <60> 본 발명의 보다 바람직한 실시예에 따른 고밀도 칩 스케일 패키지 제조 방법에서, 상기 다이를 인쇄회로기판 상에 실장하는 단계는, 상기 다이 상에 와이어 본딩 패드(wire bonding pad)를 형성하는 단계; 및 상기 인쇄회로기판과 상기 와이어 본딩 패드를 와이어에 의해 전기적으로 접속하는 단계를 포함하는 것을 특징으로 한다.
- <61> 본 발명의 보다 바람직한 실시예에 따른 고밀도 칩 스케일 패키지 제조 방법에서, 상기 다이를 인쇄회로기판 상에 실장하는 단계는, 상기 다이의 밑면에 복수의 솔더볼을 형성하여 상기 인쇄회로기판과 상기 다이를 전기적으로 접속시키는 단계를 포함하는 것을 특징으로 한다.
- <62> 본 발명의 보다 바람직한 실시예에 따른 고밀도 칩 스케일 패키지 제조 방법에서, 상기 다이를 인쇄회로기판 상에 실장하는 단계는, 상기 다이와 상기 인쇄회로기판 사이의 공간에 액상 인캡슐란트 주입하는 단계; 및 상기 주입된 액상 인캡슐란트에 보이드를 제거하는 단계를 더 포함하는 것을 특징으로 한다.

- <63> 본 발명의 보다 바람직한 실시예에 따른 고밀도 칩 스케일 패키지 제조 방법은, 다른 인쇄회로기판 상에 다이가 실장된 상기 인쇄회로기판을 실장하기 위하여 그 밑면에 솔더볼을 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- <64> 이하, 도면을 참조하여 본 발명을 보다 상세히 설명한다.
- <65> 도3a 내지 3i는 본 발명에 일 실시예로서, 다이가 패키지 상에 와이어 본딩에 의해 실장된, 방열 구조를 채용한 고밀도 칩 스케일 패키지의 제조 공정을 나타낸다.
- <66> 도3a는 본 발명의 고밀도 칩 스케일 패키지의 기본 베이스 기판이 되는 동박 적층판(301)을 나타낸다. 절연층(303)에 동박(302)이 입혀져 있다. 동박 적층판(301)은 그 종류가 다양하고, 유리 섬유에 에폭시 수지(Epoxy Resin:수지와 경화제의 배합물)을 침투시킨 보강기재와 동박으로 만들어진 유리/에폭시 동박적층판, 그 중에서도 FR-4라 불리는 재질의 동박적층판이 가장 흔히 사용된다. 본 발명의 동박적층판(301)으로는 바람직하게는 FR-4를 사용하지만, 이에 한정되지는 않는다.
- <67> 도3b에서, 동박 적층판(301)에 드릴링에 의해 회로층 간의 회로 접속을 위한 비아홀(304)을 가공한다. 이때 드릴링 머신에 의한 기계적 드릴링에 의할 수도 있고, 레이저 드릴링에 의할 수도 있으나, 크기가 작은 비아홀을 가공시에는 레이저 드릴링 방법이 바람직하다.
- <68> 도3c에서, 무전해 도금 및 전해 도금을 실시한다. 우선 무전해 도금에 의해 얇은 동도금층을 형성하고 나서, 전해 도금을 실시하여, 기판 외부 및 비아홀(304) 내벽에 도전성의 도금층(305)을 형성한다. 그리고 나서, 홀 내부를 절연성 페이스트로 충전

(plugging) 처리한다. 도3c에 도시된 도금층(305)은 전해 도금층 및 무전해 도금층을 포함한다.

<69> 도3d에서, 비아홀(304)의 내벽에 형성된 무전해 및 전해 동도금층(305)을 보호하기 위해 페이스트(306)를 충전하고, 에칭에 의해 회로 패턴을 형성한다. 에칭에 의한 회로 패턴 형성은 드라이 필름등의 에칭 레지스트를 도포한 후 노광 및 현상에 의해 에칭 레지스트 패턴을 형성한 후, 에칭액으로 회로 패턴 이외의 부분들을 제거함으로써 수행된다.

<70> 도3e에서, 솔더볼 및 와이어가 접속될 부분을 제외한 부분에 솔더 레지스트(307)를 인쇄한다.

<71> 도3f에서, 와이어 또는 솔더볼 등 회로 접속을 위한 부분, 즉 상기 솔더 레지스트(307)가 도포되지 않고 동도금층(305)가 노출된 부분에 Ni/Au(308) 도금을 행한다. 도금시에는 도3e의 솔더 레지스트(307)가 도금 레지스트 역할을 하게 되어 솔더 레지스트(307)가 인쇄되지 않은 부분에만 Ni/Au 층(308)이 형성된다. 후술하는 바와 같이, Ni/Au 도금층(308) 위에는 와이어 본딩을 위한 와이어 본딩 패드가 형성된다. Ni를 먼저 도금하고 난뒤, Au를 도금한다. 따라서, 외부에는 Au 도금층이 노출된다. 이는 기판 중 외부 회로와 접속될 부분에 대한 처리로서, 솔더 레지스트로 덮이지 않고 노출된 동박부위가 산화되는 것을 방지하고, 실장되는 부품의 납땜성을 향상시키며, 좋은 전도성을 부여하기 위한 것이다.

<72> 그리고 나서, 패키지의 밑면에 다른 베이스 기판에의 직접 실장을 위한 솔더볼(309)을 형성한다. 솔더볼(309)은 본 발명에 따른 패키지를 다른 기판 상에 실장하기 위해 사용되며, 다른 기판 상에 마련된 솔더볼 패드와 접속되어, 기판 간을 전기적으로

접속시킨다. 다시 말해, 본 발명에 따른 고밀도 칩 스케일 패키지 기판은 다른 기판 상에 소위 BGA(Ball Grid Array) 방식에 의해 실장될 수 있도록 구성된다.

<73> 도3g에서, 솔더 레지스트층(307) 위에 접착제(310)를 도포하고, 그 위에 다이(311)를 실장하여 접착시킨다. 그리고 나서, 상기 Ni/Au 도금층(308) 상에 와이어 본딩을 위한 와이어 본딩 패드(312)를 형성하고, 상기 다이(311)의 회로 패턴과 상기 와이어 본딩 패드(312)를 와이어(313)에 의해 연결함으로써 패키지의 회로와 다이의 회로를 전기적으로 접속시킨다. 이때, 본 발명에 따른 패키지에서 사용되는 베이스 기판(301)의 면적은 상기 실장되는 다이(311) 면적의 100% 내지 150%, 바람직하게는 100% 내지 120%이다.

<74> 도3h에서, 다이(311) 위에 열전도성 에폭시 접착제(314)를 도포하고, 그 위에 방열판(315)을 접착한다. 본 발명의 고밀도 칩 스케일 패키지에서는 이와 같이 다이(311) 위에 방열판(315)을 직접 실장시키고, 이를 열전도성 에폭시 접착제(314)에 의해 접착시킴으로써 원활한 열방출이 가능하게 된다.

<75> 도3i에서, 상기 패키지 베이스 기판과 방열판(315) 사이에 패키지 베이스 기판 상의 노출된 회로층들 및 솔더 레지스트층(307)이 외부로부터 차폐되도록 액상의 인캡슐런트(316)를 주입한다. 그리고 나서, 큐어링(curing) 처리로서 상기 액상 인캡슐런트(316)에서 보이드(void)를 제거한 다음, 열에 액상 인캡슐런트(316)를 열 경화시킨다. 열 경화된 인캡슐런트(316)는 그 내부의 회로들을 습도, 충격 등 외부 손상 요인들로부터 보호하는 역할을 하게 된다.

<76> 외부의 손상 요인들로부터 내부의 회로들을 보호하기 위한 수단으로서 흔히 사용되는 EMC(Epoxy Mold Compound)는 액상이 아닌 고체로서 패키지에 도포하는 과정에서 패키

지에 물리적인 충격이 가해지는 단점이 있으나, 액상 인캡슐란트를 사용하면 이러한 물리적 충격은 피할 수 있다.

<77> 전술한 바와 같이, 패키지의 소형화에 대응하기 위한 칩 스케일 패키지(CSP)는 패키지의 면적이 그 위에 실장되는 다이(칩) 면적의 100%-150%인 점과, 칩 사이즈의 고밀도화된 패키지를 상기 솔더볼(309)에 의해 다른 기판 상에 직접 실장한다는 점을 특징으로 한다. 도3a 내지 도3h에 도시된 본 발명에 따른 고밀도 칩 스케일 패키지에 따르면 방열 효율을 저하시키지 않으면서도 칩 스케일 패키지의 특성인 패키지의 고밀도 및 소형화를 달성할 수 있게 된다.

<78> 도4a 내지 4i는 본 발명의 일 실시예로서, 다이가 패키지 상에 플립칩 방식에 의해 실장된, 방열 구조를 채용한 고밀도 칩 스케일 패키지의 제조 공정을 나타낸다.

<79> 도4a는 본 발명의 고밀도 칩 스케일 패키지의 기본 베이스 기판이 되는 동박 적층판(401)을 나타낸다. 사용되는 기판은 도3a에 도시된 기판과 동일하다. 즉, 바람직하게는 FR-4를 사용하지만, 이에 한정되지는 않는다. 절연층(403)에 동박(402)이 입혀져 있다.

<80> 도4b에서, 동박 적층판(401)에 드릴링에 의해 회로층 간의 회로 접속을 위한 비아홀(404)을 가공한다. 드릴링 머신에 의한 기계적 드릴링에 의할 수도 있고, 레이저 드릴링에 의할 수도 있으나, 미세 비아홀을 가공시에는 정밀도가 높은 레이저 드릴링 방법이 바람직하다.

<81> 도4c에서, 기판 전체에 무전해 도금 및 전해 도금을 실시한다. 우선 무전해 도금에 의해 얇은 동도금층을 형성하고 나서, 전해 도금을 실시하여, 기판 외부 및 비아홀

(404) 내벽에 도전성의 도금층(405)을 형성한다. 그리고 나서, 홀 내부를 절연성 페이스트로 충전(plugging) 처리한다. 도4c에 도시된 도금층(405)은 전해 도금층 및 무전해 도금층을 포함한다.

<82> 도4d에서, 에칭에 의해 기판의 외부의 도금층(405)에 회로 패턴을 형성한다. 에칭에 의한 회로 패턴 형성은 드라이 필름등의 에칭 레지스트를 도포한 후 노광 및 현상에 의해 에칭 레지스트 패턴을 형성한 후, 에칭액으로 회로 패턴 이외의 부분들을 제거함으로써 수행된다.

<83> 도4e에서, 솔더볼 및 와이어가 접속될 부분 즉, 회로 접속을 위한 솔더볼 패드 및 와이어 본딩 패드 등이 형성될 부분 이외의 부분에 도금층(405)에 형성된 회로 패턴을 보호하도록 솔더 레지스트(407)를 인쇄한다.

<84> 도4f에서, 와이어 또는 솔더볼 등 회로 접속을 위한 부분, 즉 상기 솔더 레지스트(407)가 도포되지 않고 동도금층(405)이 노출된 부분에 Ni/Au(408) 도금을 행한다. 도금시에는 도4e의 솔더 레지스트(407)가 도금 레지스트 역할을 하게 되어 솔더 레지스트(407)가 인쇄되지 않은 부분에만 Ni/Au층(408)이 형성된다. Ni를 먼저 도금하고 난뒤, Au를 도금한다. 따라서, 외부에는 Au 도금층이 노출된다. 이는 기판 중 외부 회로와 접속될 부분에 대한 처리로서, 솔더 레지스트로 덮이지 않고 노출된 동박부위가 산화되는 것을 방지하고, 실장되는 부품의 납땜성을 향상시키며, 좋은 전도성을 부여하기 위한 것이다.

<85> 그리고 나서, 패키지의 밑면에 다른 베이스 기판에의 직접 실장을 위한 솔더볼(409)을 형성한다. 솔더볼(409)은 본 발명에 따른 패키지를 다른 기판 상에 실장하기 위해 사용되며, 다른 기판 상에 마련된 솔더볼 패드와 접속되어, 본 발명에 따른 패키지

와 다른 베이스 기판 간을 전기적으로 접속시킨다. 다시 말해, 본 발명에 따른 고밀도 칩 스케일 패키지 기판은 다른 기판 상에 소위 BGA(Ball Grid Array) 방식에 의해 실장될 수 있도록 구성된다.

<86> 도4g에서, 밑면에 솔더볼(409)이 형성된 다이(410)를 솔더 레지스트층(407) 위에 실장하고, 다이(410)와 솔더 레지스트층(407) 사이에서 솔더볼(411) 이외의 공간을 언더필(fill)용 액상 인캡슐란트(412)를 주입하여 충전하고, 열 경화처리하여 고착시킨다. 이때, 본 발명에 따른 패키지에서 사용되는 베이스 기판(401)의 면적은 상기 실장되는 다이(411) 면적의 100% 내지 150%, 바람직하게는 100% 내지 120%이다.

<87> 도4h에서, 다이(410) 위에 열전도성 에폭시 접착제(413)를 도포하고, 그 위에 방열판(414)을 접착한다. 본 발명의 고밀도 칩 스케일 패키지에서는 도3a 내지 도3i를 참조하여 설명된 방법과 마찬가지로, 다이(410) 위에 방열판(414)을 직접 실장시키고, 이를 열전도성 에폭시 접착제(413)에 의해 접착시킴으로써 원활한 열방출이 가능하게 된다.

<88> 도4i에서, 상기 패키지 베이스 기판과 방열판(414) 사이에 패키지 베이스 기판 상의 노출된 회로층들 및 솔더 레지스트층(407)이 외부로부터 차폐되도록 액상의 인캡슐란트(415)를 주입한다. 그리고 나서, 큐어링(curing) 처리로서, 상기 액상 인캡슐란트(415)에서 보이드(void)를 제거한 다음, 열에 액상 인캡슐란트(415)를 열 경화시킨다. 상기 액상 인캡슐란트는 바람직하게는 에폭시 계열의 액상 인캡슐란트이다.

<89> 열 경화된 인캡슐란트(415)는 그 내부의 회로들을 습도, 충격 등 외부 손상 요인들로부터 보호하는 역할을 하게 된다. 방열판(414)과 패키지 사이의 공간에 주입되는 액

상 인캡슐런트(415)와 도4h에서 언더필용으로 사용된 액상 인캡슐런트(412)로는 동일한 것을 사용할 수 있다.

【발명의 효과】

- <90> 본 발명에 따르면, 면적 대비 솔더볼을 형성할 수 있는 유효 면적을 넓힐 수 있으며 핀 카운트를 증가시킬 수 있으면서도 열 방출 효과가 저하되지 않는 방열 구조를 갖는 고밀도 칩 스케일 패키지를 제공할 수 있다.
- <91> 또한, 본 발명에 따르면, 인쇄회로기판 내부에 다이 실장을 위한 캐비티를 포함하지 않으므로 솔더볼 및 솔더볼을 형성할 수 있는 유효 면적을 넓힐 수 있으며 핀 카운트도 증가시킬 수 있다.
- <92> 또한, 본 발명에 따르면, 다이를 와이어 본딩 및 플립 칩 방식으로 실장하는 구성 모두에 적용할 수 있으면서도 열 방출 효과가 저하되지 않는 방열 구조를 갖는 고밀도 칩 스케일 패키지를 제공할 수 있다.
- <93> 또한, 본 발명에 따르면, 목적은 다이 위에 방열판을 열 전도성 에폭시 접착제로 부착함으로써 다이와 방열판 간의 열 전달 효과를 향상시켜 다이에서 발생하는 열을 원활하게 방출시키는 고밀도 칩 스케일 패키지를 제공할 수 있다.

【특허청구범위】**【청구항 1】**

회로 패턴이 형성된 다이;

상기 다이를 실장하고, 상기 다이 면적의 100-150%이며 회로 패턴을 포함하는 인쇄회로기판;

상기 다이의 열을 방출하기 위해 상기 다이 상에 실장된 방열판; 및

상기 다이와 상기 방열판 사이에 주입되어, 상기 인쇄회로기판과 상기 방열판을 밀착시키고, 상기 다이를 외부로부터 차폐하는 인캡슐런트(encapsulant)를 구비한 것을 특징으로 하는 고밀도 칩 스케일 패키지.

【청구항 2】

제1항에 있어서,

상기 다이는 상기 인쇄회로기판 상에 열 전도성 에폭시 접착제에 의해 부착되는 것을 특징으로 하는 고밀도 칩 스케일 패키지.

【청구항 3】

제1항에 있어서,

상기 액상의 인캡슐런트는 에폭시 액상 인캡슐런트인 것을 특징으로 하는 고밀도 칩 스케일 패키지.

【청구항 4】

제1항에 있어서,

상기 다이는 와이어 본딩 패드(wire bonding pad)를 더 포함하고, 상기 인쇄회로기판과 상기 와이어 본딩 패드를 연결하는 와이어를 통해 상기 인쇄회로기판과 전기적으로 접속되는 것을 특징으로 하는 고밀도 칩 스케일 패키지.

【청구항 5】

제1항에 있어서,

상기 다이는 밀면에 형성된 복수의 솔더볼을 포함하고, 상기 인쇄회로기판과 상기 복수의 솔더볼을 통해 전기적으로 접속되는 것을 특징으로 하는 고밀도 칩 스케일 패키지.

【청구항 6】

제5항에 있어서,

상기 다이와 상기 인쇄회로기판 사이의 공간에 주입된 액상 인캡슐란트를 포함하는 것을 특징으로 하는 고밀도 칩 스케일 패키지.

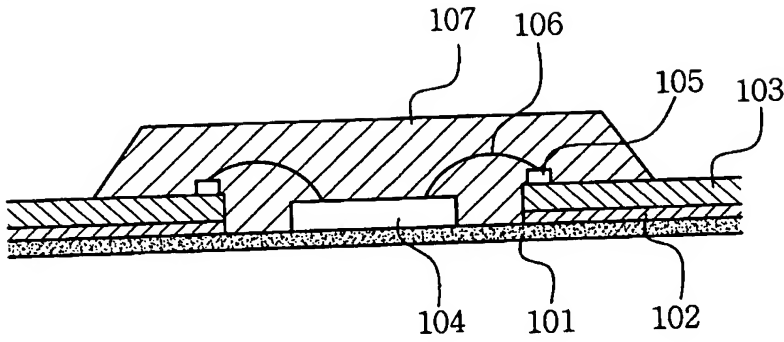
【청구항 7】

제1항에 있어서,

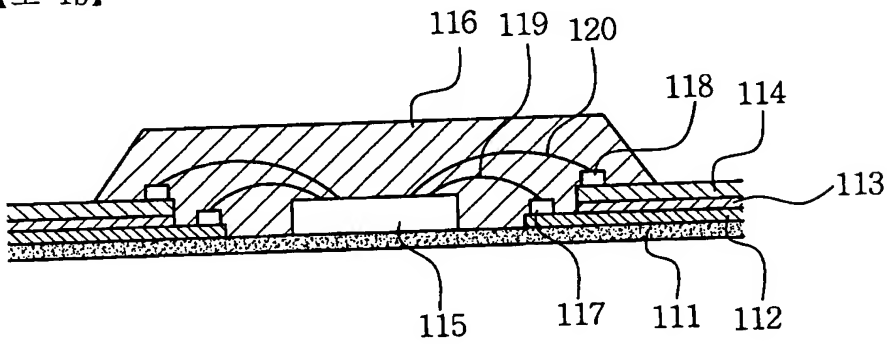
다른 인쇄회로기판 상에 다이가 실장된 상기 인쇄회로기판을 실장하기 위하여 그 밀면에 솔더볼을 포함하는 것을 특징으로 하는 고밀도 칩 스케일 패키지.

【도면】

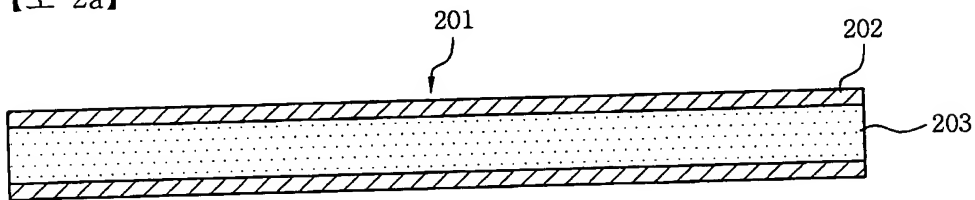
【도 1a】



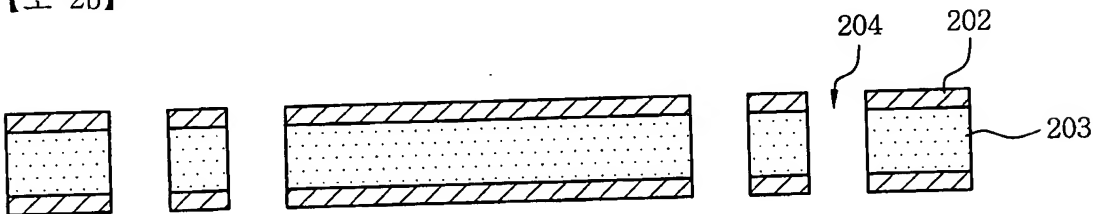
【도 1b】



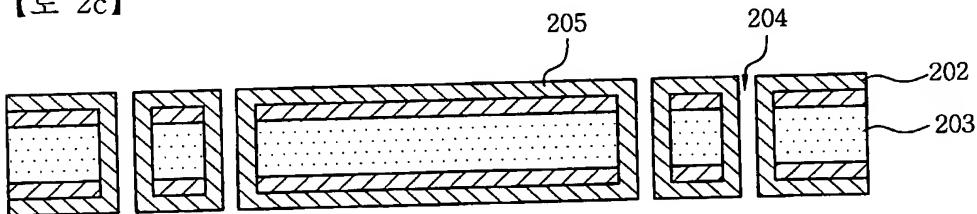
【도 2a】



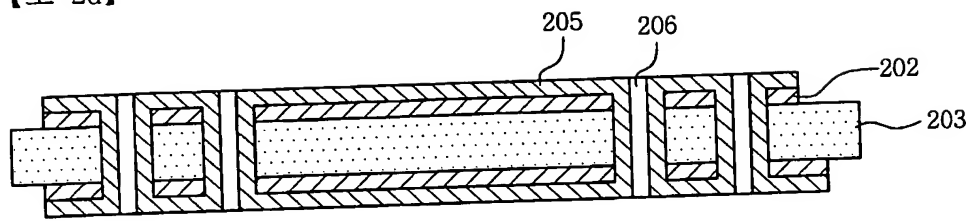
【도 2b】



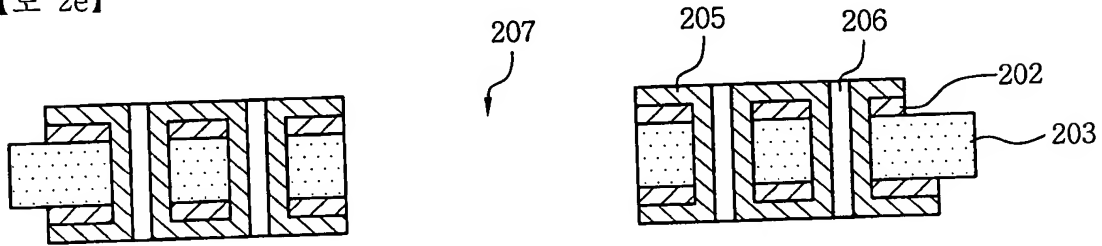
【도 2c】



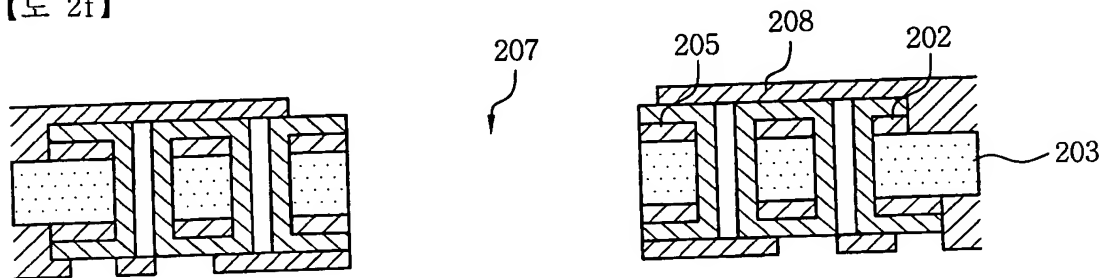
【도 2d】



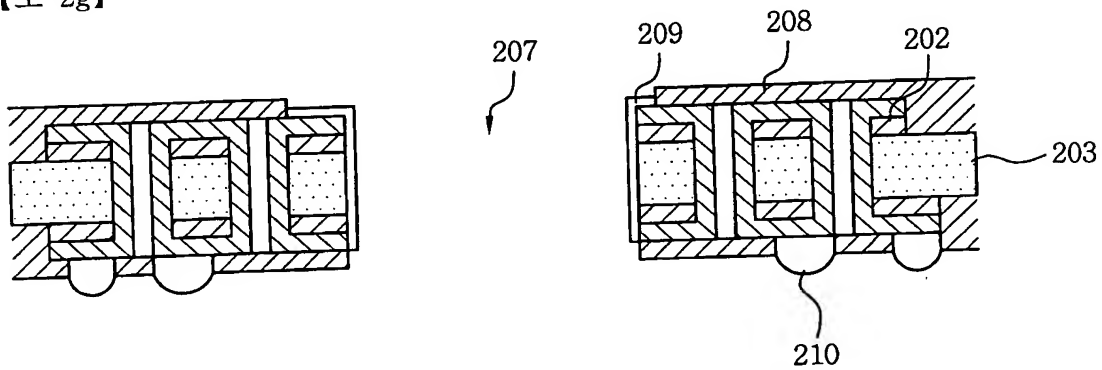
【도 2e】



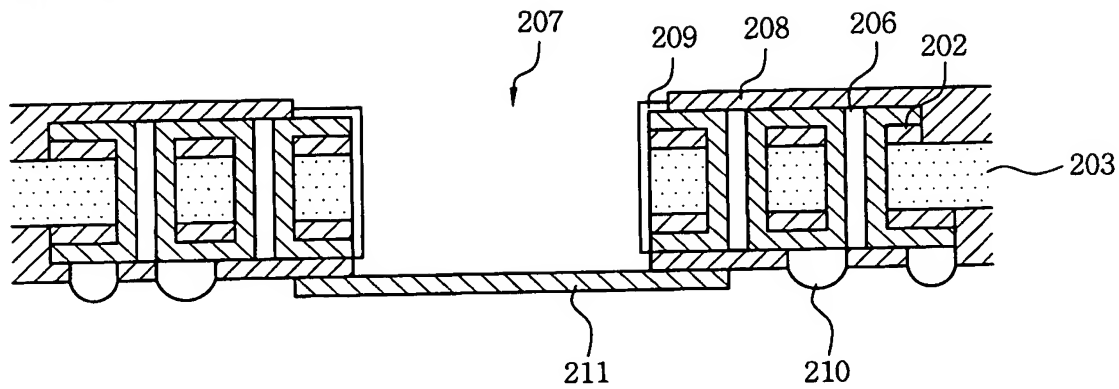
【도 2f】



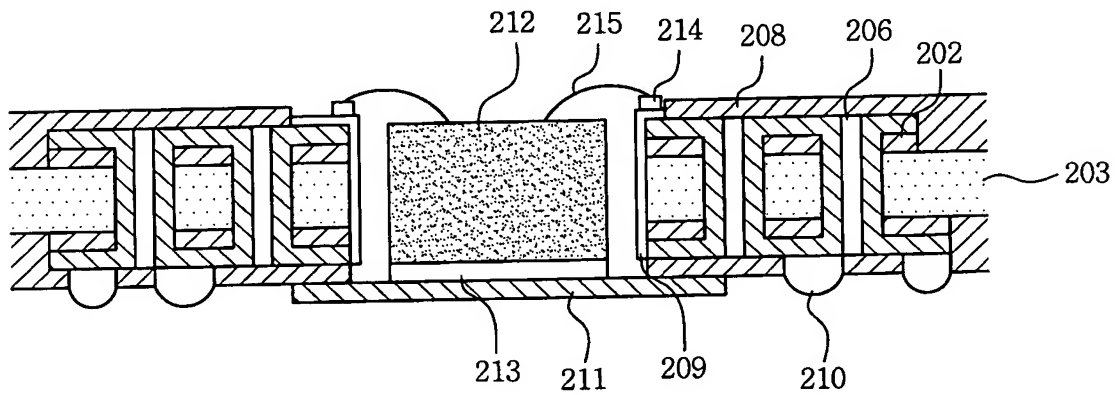
【도 2g】



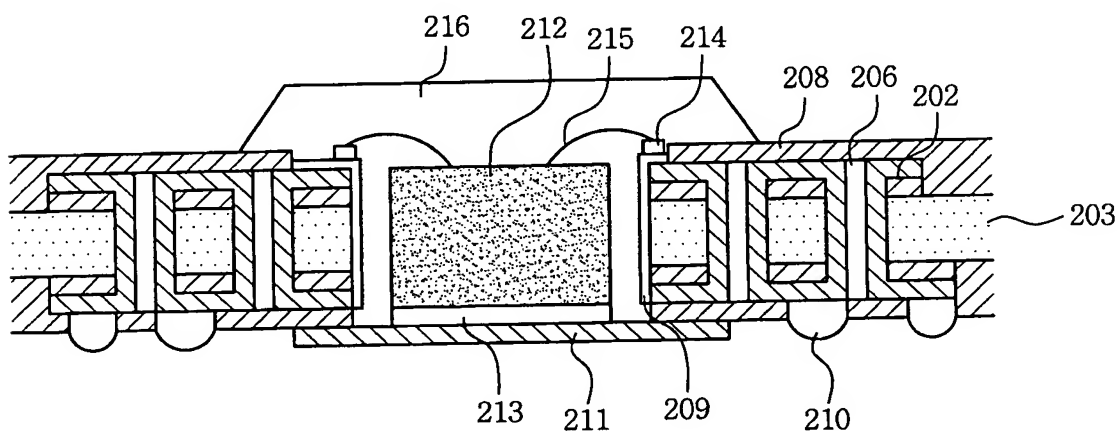
【도 2h】



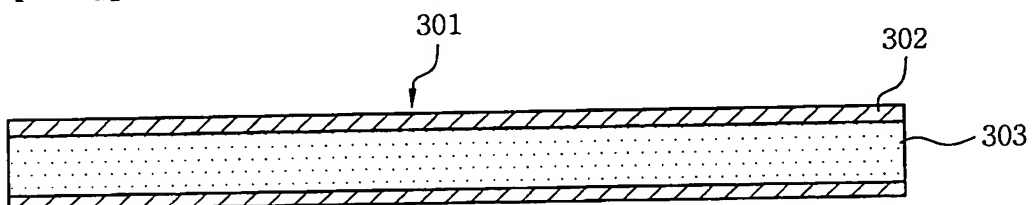
【도 2i】



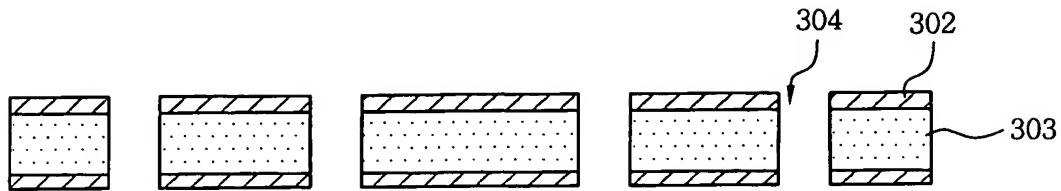
【도 2j】



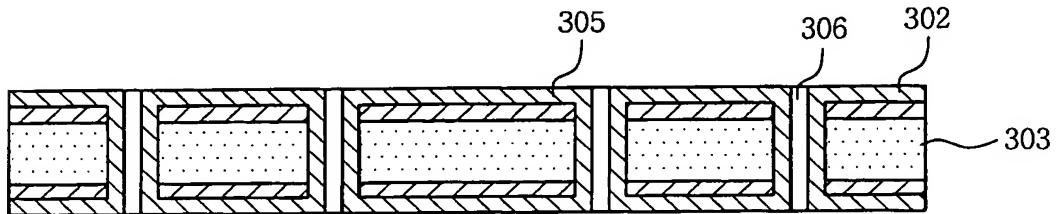
【도 3a】



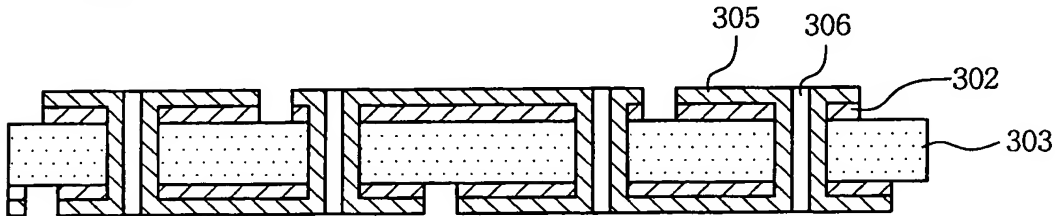
【도 3b】



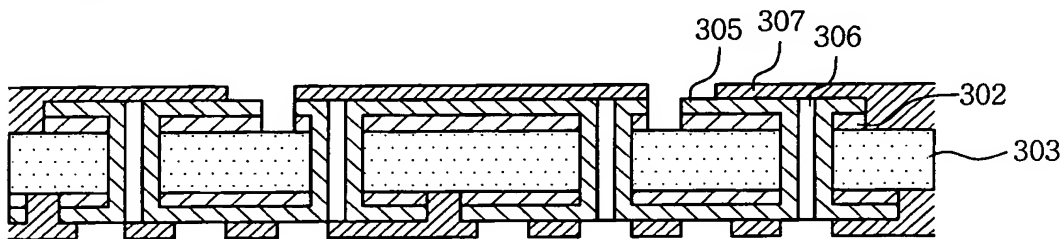
【도 3c】



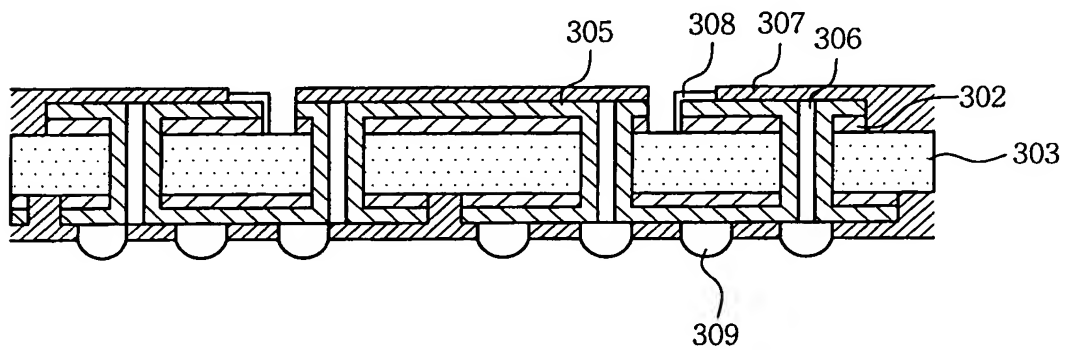
【도 3d】



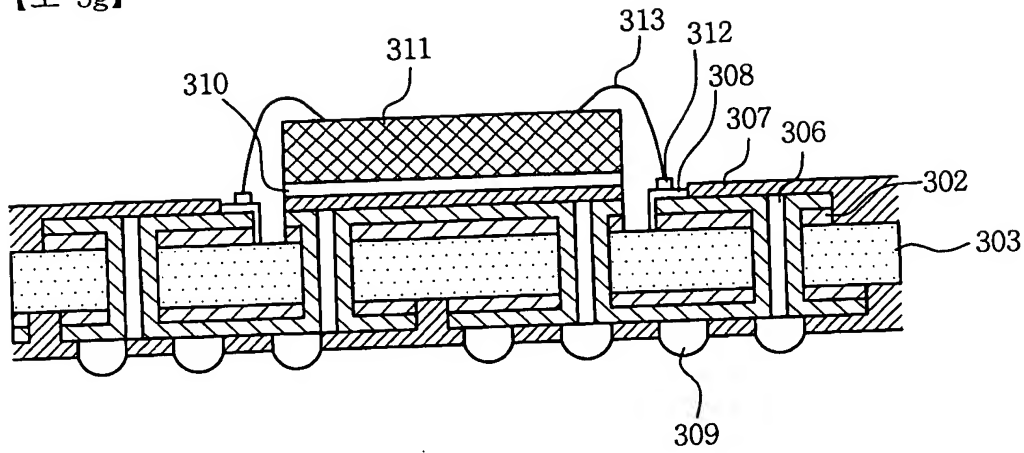
【도 3e】



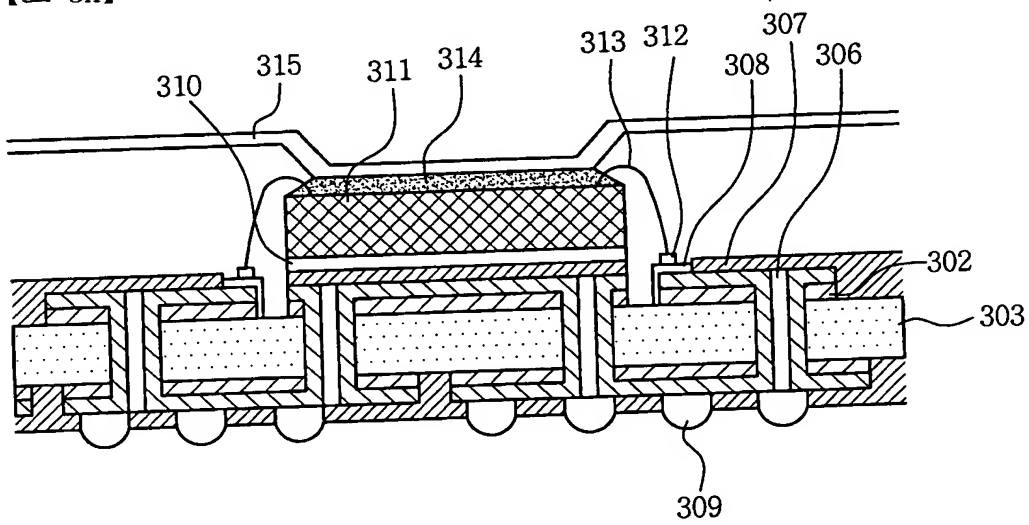
【도 3f】



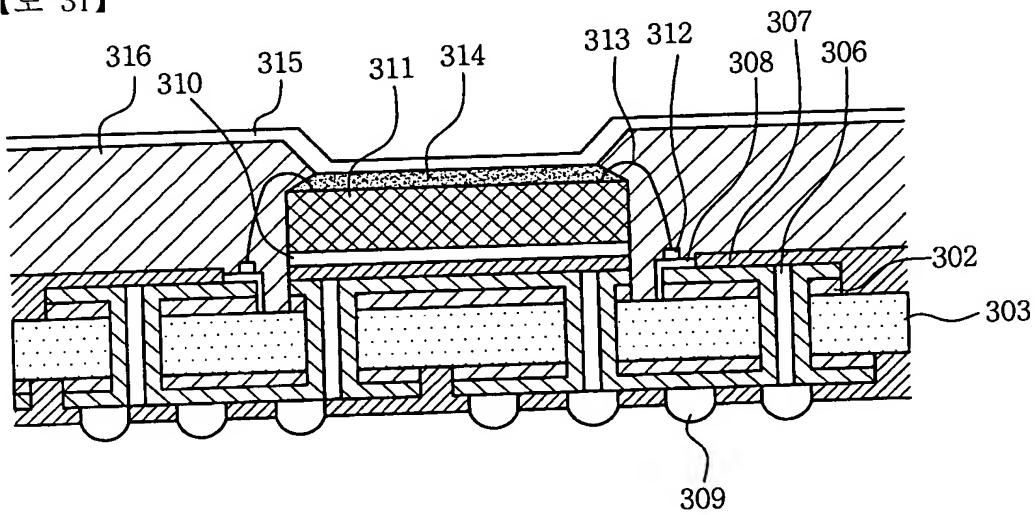
【도 3g】



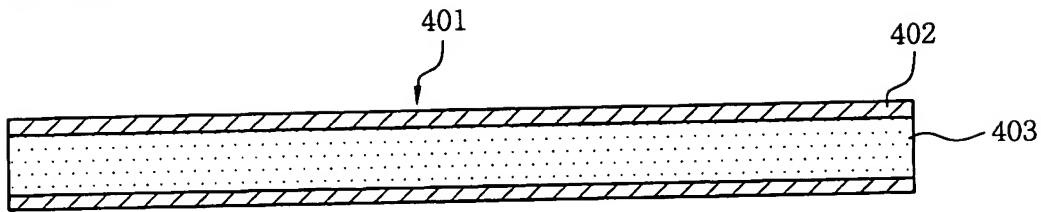
【도 3h】



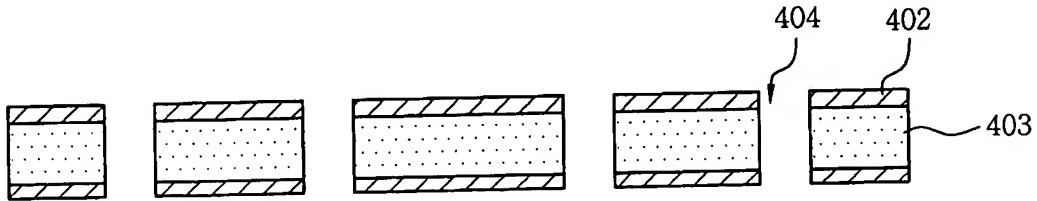
【도 3i】



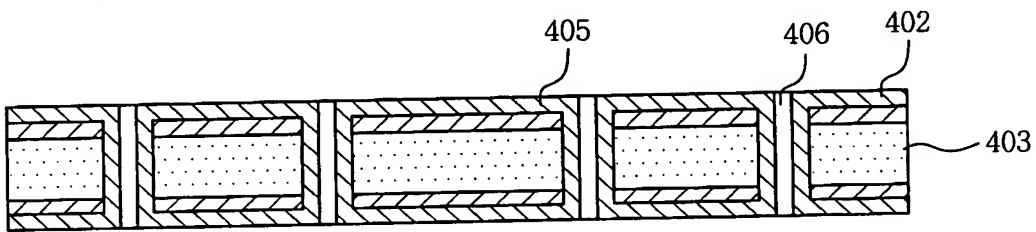
【도 4a】



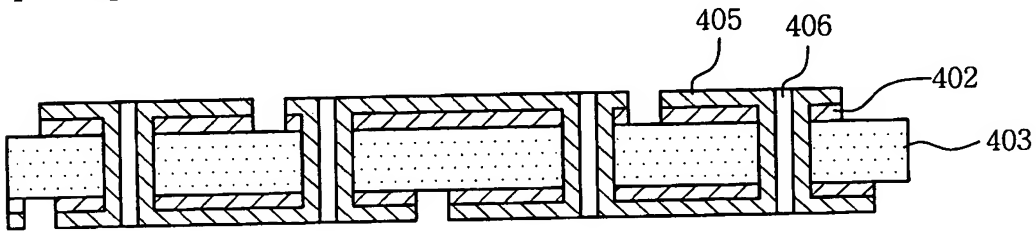
【도 4b】



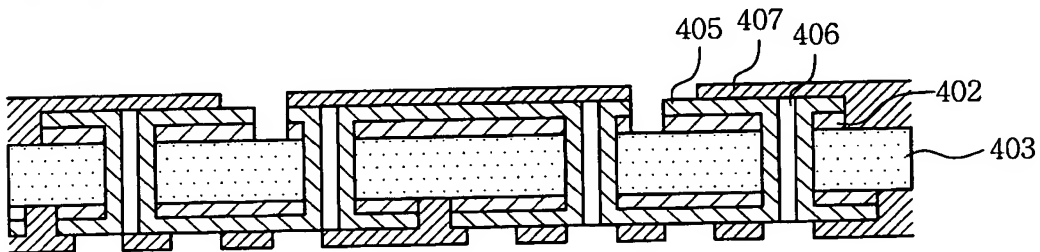
【도 4c】



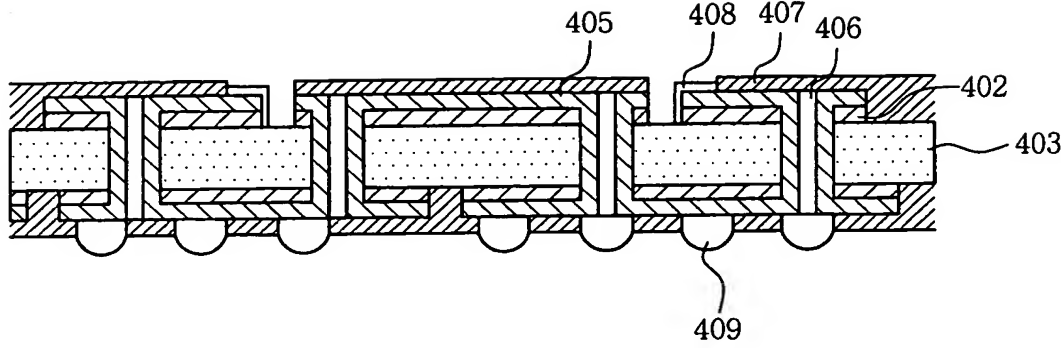
【도 4d】



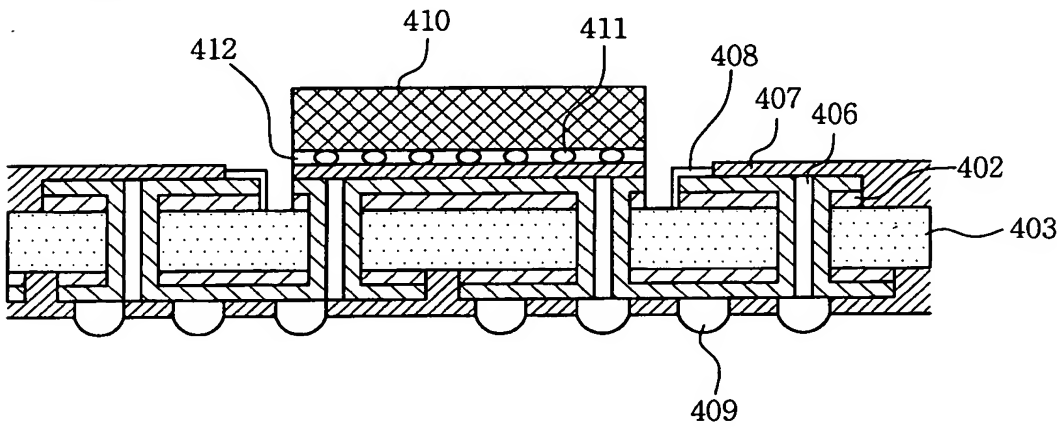
【도 4e】



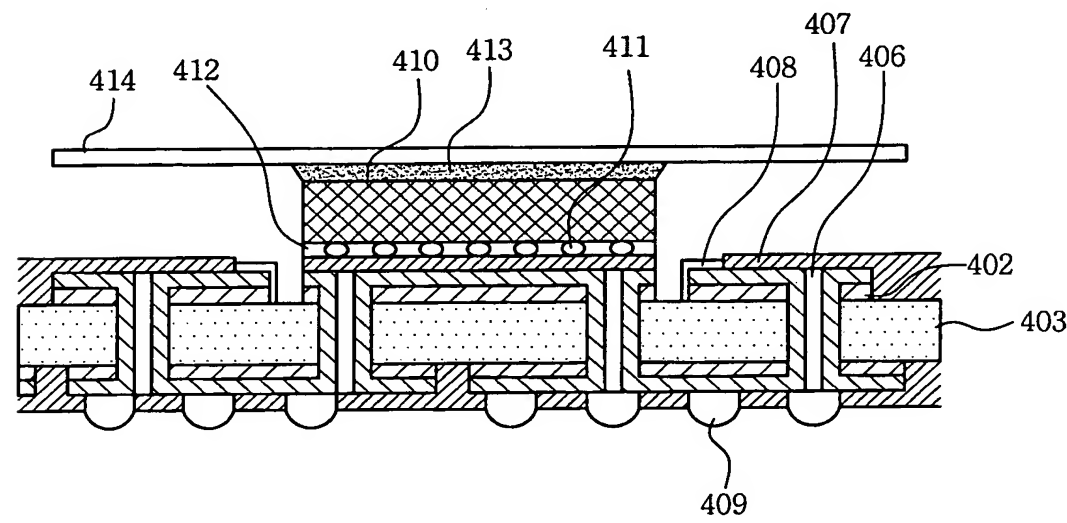
【도 4f】



【도 4g】



【도 4h】



【도 4i】

